

(12)

**DEMANDE DE BREVET EUROPEEN**

(21) Numéro de dépôt: **89400042.1**

(51) Int. Cl.<sup>4</sup>: **H 01 L 23/28**  
**H 01 L 21/314, H 01 L 21/56**

(22) Date de dépôt: **06.01.89**

(30) Priorité: **13.01.88 FR 8800294**

(43) Date de publication de la demande:  
**09.08.89 Bulletin 89/32**

(84) Etats contractants désignés: **DE GB IT**

(71) Demandeur: **SGS-THOMSON MICROELECTRONICS S.A.**  
**7, Avenue Galliéni**  
**F-94250 Gentilly (FR)**

(72) Inventeur: **Merenda, Pierre**  
**CABINET BALLOT-SCHMIT 84, Avenue Kléber**  
**F-75116 Paris (FR)**

**Genot, Bernard**  
**CABINET BALLOT-SCHMIT 84, Avenue Kléber**  
**F-75116 Paris (FR)**

(74) Mandataire: **Ballot, Paul Denis Jacques et al**  
**Cabinet Ballot-Schmit 84, avenue Kléber**  
**F-75116 Paris (FR)**

**(54) Procédé de passivation d'un circuit intégré.**

(57) La présente invention concerne un procédé de passivation d'un circuit intégré comprenant la formation d'au moins une couche diélectrique finale.

Le procédé consiste à déposer une première couche (9) d'un matériau diélectrique dur, à étaler sur cette couche une suspension diélectrique visqueuse (10) que l'on soumet à un recuit et à déposer sur la surface ainsi obtenue une deuxième couche (11) d'un matériau diélectrique dur.

Application à la passivation des circuits intégrés.

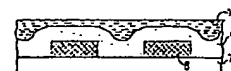


FIG. 3a



FIG. 3b



FIG. 3c



FIG. 3d

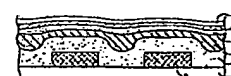


FIG. 3e

## Description

## PROCÉDE DE PASSIVATION D'UN CIRCUIT INTEGRE

La présente invention concerne un nouveau procédé de passivation de circuits intégrés.

En effet, dans les circuits intégrés, il est habituel de recouvrir les surfaces actives d'une couche de passivation ou couche de protection dont le but est d'éviter les pollutions pouvant altérer les caractéristiques des composants formant le circuit intégré. Cette couche est constituée par un diélectrique stable tel que du dioxyde de silicium, du nitrure de silicium ou un oxynitrure de silicium. Les matériaux employés comme diélectrique présentent l'inconvénient d'être relativement durs. Cette caractéristique entraîne des risques de fissures de la couche de passivation, ces fissures pouvant se propager jusque vers les surfaces actives. Il en résulte que la couche de passivation ne joue plus son rôle de protection.

D'autre part, les couches de passivation sont généralement déposées sur la dernière couche de métallisation. La couche de métallisation est gravée pour réaliser les conducteurs métalliques. En général, la gravure est réalisée sous plasma réactif. Elle est pratiquement anisotrope et s'effectue dans le sens de l'épaisseur de la couche. Il en résulte que les conducteurs présentent une section approximativement rectangulaire. Aussi, lorsque l'on dépose la couche de passivation sur les conducteurs, on s'aperçoit que la couche de passivation ne se dépose pas de manière uniforme mais présente une structure vallonnée avec des creux particulièrement importants au niveau des bords des conducteurs.

La présente invention a pour but de remédier aux inconvénients mentionnés ci-dessus.

Elle a pour objet un nouveau procédé de passivation d'un circuit intégré comprenant la formation d'au moins une couche diélectrique finale, caractérisé en ce qu'il consiste à déposer sur le circuit intégré une première couche d'un matériau diélectrique dur, à déposer sur cette couche, une couche d'un matériau diélectrique tendre et à déposer sur la surface ainsi obtenue une deuxième couche d'un matériau diélectrique dur.

L'utilisation d'une couche tendre permet de remplir les vallonnements de la couche en matériau diélectrique dur inférieur et d'obtenir une surface relativement plane sur laquelle on peut déposer facilement une deuxième couche de protection en matériau diélectrique dur. Cette couche tendre intercalée entre deux couches dures permet d'absorber les contraintes mécaniques venant de l'extérieur et évite notamment la propagation des fissures qui auraient pu se réaliser dans les couches en matériau diélectrique dur. De plus, la couche dure externe empêche la déformation plastique de la couche tendre et répartit les contraintes extérieures dans la couche tendre. Par couche dure ou couche tendre dans la présente invention, on entend une couche définie par une mesure de microdureté. Ainsi, une couche dure présentera une dureté supérieure à 700 HK (HK = dureté knoop) (dureté mesurée à 15 g sur film mince de quelques

micromètres, déposé sur une plaquette de silicium). Une couche tendre présentera une dureté inférieure à 400 HK.

Selon une autre caractéristique de la présente invention, on réalise de plus, une ou plusieurs fois les étapes suivantes : à savoir, on recouvre la dernière couche diélectrique d'une couche diélectrique tendre, puis l'on dépose sur cette nouvelle couche une couche d'un matériau diélectrique dur. En utilisant ce procédé, on réalise une structure de type "mille feuille" intercalant des couches diélectriques dures avec des couches diélectriques tendres ce qui permet une meilleure absorption des contraintes et un blocage de la transmission des fissures.

Selon un mode de réalisation préférentiel, la couche tendre est obtenue à partir d'une suspension visqueuse que l'on soumet à un recuit.

D'autre part, selon encore une autre caractéristique de la présente invention, on élimine la suspension diélectrique une fois recuite sur une certaine épaisseur de manière à obtenir une surface supérieure plane.

De préférence, la suspension diélectrique est constituée par un gel à base de silice minérale qui sera avantageusement sous forme colloïdale, tel que le gel appelé couramment S.O.G (pour Spin On Glass en langue anglaise) bien connu dans la technique.

Eventuellement, la couche tendre peut être réalisée par une couche de polyimide, mais celle-ci présente l'inconvénient d'avoir une épaisseur importante.

D'autre part, la couche en matériau diélectrique dur sera constituée par un matériau tel que le dioxyde de silicium  $\text{SiO}_2$ , le nitrure de silicium  $\text{Si}_3\text{N}_4$  ou un oxy-nitrure de silicium de la forme  $\text{SiO}_x\text{N}_y$ .

D'autres caractéristiques et avantages de la présente invention apparaîtront à la lecture de la description d'un mode de réalisation faite avec référence aux dessins ci-annexés et dans lesquels :

- la figure 1 est une vue en coupe schématisée d'un circuit intégré comportant une couche de passivation réalisée conformément à l'art antérieur,

- la figure 2 est une vue en coupe par AA des deux couches supérieures de la figure 1,

- les figures 3A à 3E sont des vues analogues à celles de la figure 2, illustrant les étapes essentielles du procédé de passivation conforme à l'invention et,

- la figure 4 est une vue analogue à celle de la figure 3B représentant une variante du procédé de passivation conforme à la présente invention.

Pour permettre une meilleure compréhension du procédé de la présente invention, les différentes couches ont été représentées à une échelle agrandie et sans respecter leurs dimensions.

Le circuit intégré représenté sur la figure 1 se compose d'un substrat semiconducteur 1, par

exemple un substrat en silicium de type N dans lequel ont été réalisées des zones d'isolement entre les composants constituées, par exemple, par de l'oxyde épais 2 et des zones diffusées 3 telles que par exemple des zones dopées P+. Sur le substrat ont été réalisées des zones d'oxyde mince 4 qui ont été recouvertes par exemple de grilles 5 réalisées en silicium polycristallin. Les différentes zones ci-dessus ont été obtenues en utilisant les procédés classiques bien connus de l'homme de l'art. Ces différentes zones ont été recouvertes d'une couche d'isolement 7 réalisée par exemple en dioxyde de silicium SiO<sub>2</sub>. Le circuit représenté sur la figure 1 à titre d'exemple illustratif est constitué de deux transistors MOS de type N. Pour réaliser la connexion entre différentes zones telles que, par exemple, entre deux diffusions correspondantes des deux transistors MOS (Metal Oxyde Semi-conducteur) représentée sur la figure 1, la couche 7 a été gravée de manière connue et une couche métallique 8 a été déposée sur la couche isolante 7. Cette couche métallique est réalisée, par exemple, en aluminium. Les conducteurs sont ensuite réalisés par gravure, en plaçant la couche métallique sous plasma réactif. Cette gravure est en général anisotrope. Elle s'effectue dans le sens de l'épaisseur de la couche et donne ainsi au conducteur une section approximativement rectangulaire comme représenté sur la figure 2.

Si le circuit possède un seul niveau d'interconnexions, les conducteurs 8 sont alors recouverts d'une couche de passivation ou couche de protection qui peut être réalisée en oxyde de silicium SiO<sub>2</sub>, en nitrure de silicium Si<sub>3</sub>N<sub>4</sub> ou en oxynitrure de silicium SiO<sub>x</sub>N<sub>y</sub>. Le matériau utilisé pour réaliser cette couche de passivation 9 est un matériau dur qui peut se fracturer suite à des contraintes comme représenté par la référence 6 sur la figure 1. D'autre part, en particulier en technologie MOS où plusieurs couches de matériaux différents sont superposées et gravées, la couche de passivation présente un profil vallonné.

On décrira maintenant, avec référence aux figures 3A à 3E, les différentes étapes du procédé de passivation d'un circuit intégré conforme à la présente invention dans le cas où la couche tendre est obtenue à partir d'une suspension diélectrique visqueuse soumise à un recuit. Ce cas correspond à un mode de réalisation particulièrement avantageux de la présente invention. Le procédé consiste à déposer sur la couche vallonnée 9 une suspension diélectrique visqueuse 10. Cette suspension est étalée de manière uniforme sur toute la surface de la couche diélectrique 9. Du fait, de sa viscosité cette suspension comble totalement les creux existants et forme une couche mince sur toute la surface de la couche diélectrique 9.

A titre d'exemple, la suspension utilisée peut être un gel à base de silice minérale avantageusement sous forme colloïdale tel que le gel appelé couramment S.O.G. (Spin On Glass) bien connu de l'homme de l'art. Dans ce cas, la suspension diélectrique s'utilise de la même manière que les résines photosensibles servant à la configuration des éléments du circuit intégré. On procède ensuite au

recuit de la suspension 10. Ce recuit est réalisé pendant 1/2 heure à 425°C. Ainsi, le solvant de la suspension s'évapore tandis que le diélectrique forme une masse compacte 10' telle que représentée sur la figure 3B. Cette masse forme un film mince sur la couche diélectrique 9 située au-dessus des conducteurs 8. Ensuite, cette couche est recouverte d'une autre couche 11 de matériau diélectrique dur tel que du nitrure de silicium, du dioxyde de silicium ou de l'oxynitrure de silicium. De manière connue, cette couche diélectrique est déposée en utilisant un procédé de dépôt chimique en phase vapeur bien connu de l'homme de l'art.

A titre d'exemple, la couche 9 présente une épaisseur d'environ 5000 Å, la couche 10 une épaisseur d'environ 3000 Å et la couche 11 une épaisseur d'environ 12 000 Å. Les épaisseurs des couches 9 et 11 peuvent être modifiées à condition que leur somme soit constante et égale à 17 000 Å ± 3 000 Å.

L'utilisation pour la couche de passivation d'une structure composite constituée d'une première couche diélectrique dure 9 recouvrant les conducteurs 8 puis d'une couche tendre en un matériau diélectrique visqueux qui a été recuit, cette couche étant recouverte d'une autre couche d'un matériau diélectrique dur, permet d'absorber les contraintes engendrées sur le circuit et évite la propagation des fissures à l'intérieur du circuit intégré.

De plus, la surface du circuit intégré présente un vallonement moins accentué, car la couche tendre remplit partiellement les vallonements de la première couche dure.

Selon une variante de réalisation représentée à la figure 4, pour obtenir une surface supérieure encore plus plane, il est possible d'éliminer uniformément une pellicule d'épaisseur faible de la couche diélectrique 10' en mettant cette couche sous plasma réactif. Il en résulte une surface 10 presque plane.

Pour améliorer l'absorption des contraintes extérieures et éviter la propagation de fentes à l'intérieur de la couche de passivation, la couche diélectrique dure supérieure 11 peut être à nouveau recouverte d'une suspension diélectrique visqueuse. Cette couche est soumise alors à un recuit pour obtenir la couche 12' sur la figure 3E. Cette couche 12' est à nouveau recouverte d'une couche d'un matériau diélectrique dur 13. Les matériaux utilisés pour la couche visqueuse 12 et la couche diélectrique dure 13 sont identiques aux matériaux déjà utilisés pour les couches diélectriques dures 9 et 11 et pour la couche visqueuse 10. Cette superposition de couches donne une structure de type "millefeuille" et peut être renouvelée une ou plusieurs fois. Elle permet d'obtenir une surface supérieure relativement plane et améliore l'absorption des contraintes.

## Revendications

1. Procédé de passivation d'un circuit intégré comprenant la formation d'au moins une couche diélectrique finale, caractérisé en ce qu'il consiste à déposer une première couche (9) d'un matériau diélectrique dur; à déposer

sur cette couche, une couche d'un matériau diélectrique tendre (10) obtenue à partir d'une suspension visqueuse que l'on soumet à un recuit et à déposer sur la surface ainsi obtenue une deuxième couche (11) d'un matériau diélectrique dur.

2. Procédé selon la revendication 1, caractérisé en ce qu'on réalise de plus, une ou plusieurs fois les étapes suivantes :

- Recouvrement de la dernière couche de diélectrique dur par une couche diélectrique tendre (12), puis

- dépôt d'une couche (13) d'un matériau diélectrique dur de manière à réaliser une structure de type "millefeuille".

3. Procédé selon l'une quelconque des revendications 1 et 2, caractérisé en ce que la couche tendre est une couche de polyimide.

4. Procédé selon la revendication 1, 2 ou 3 caractérisé en ce qu'on élimine la suspension diélectrique recuite sur une certaine épaisseur de manière à obtenir une surface supérieure plane.

5. Procédé selon l'une quelconque des revendications 1 à 4, caractérisé en ce que la suspension diélectrique est un gel à base de

silice minérale, avantageusement sous forme colloïdale.

6. Procédé selon l'une quelconque des revendications 1 à 5, caractérisé en ce que la couche en matériau diélectrique dur est une couche de  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ ,  $\text{SiOxNy}$ .

7. Circuit intégré obtenu en mettant en oeuvre le procédé de fabrication selon l'une quelconque des revendications précédentes 1 à 6.

8. Circuit intégré selon la revendication 7, caractérisé en ce que la couche (10) en matériau diélectrique tendre a une épaisseur voisine de 3000 Å.

9. Circuit intégré selon la revendication 7 ou 8, caractérisé en ce que les première (10) et deuxième (11) couches en matériau dur ont une épaisseur variable dont la somme est constante et égale à  $17000 \text{ Å} \pm 3000 \text{ Å}$ .

10. Circuit intégré selon la revendication 9, caractérisé en ce que la première couche (9) en matériau diélectrique dur a une épaisseur voisine de 5000 Å et en ce que la deuxième couche (11) en matériau diélectrique dur a une épaisseur voisine de 12000 Å.

30

35

40

45

50

55

60

65

FIG.1

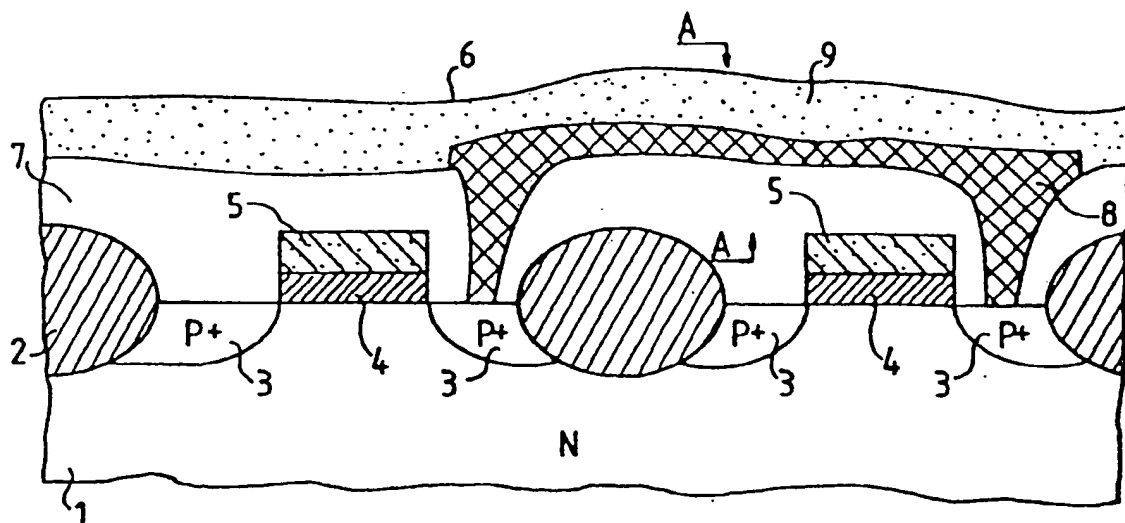


FIG.2

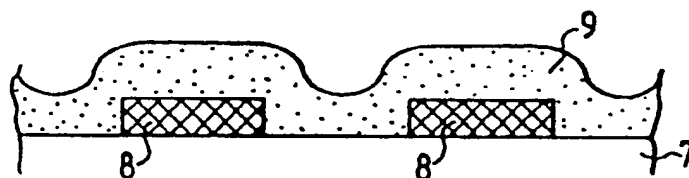
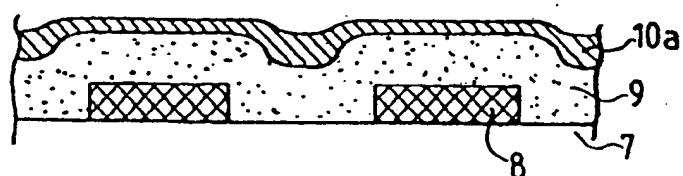


FIG.4



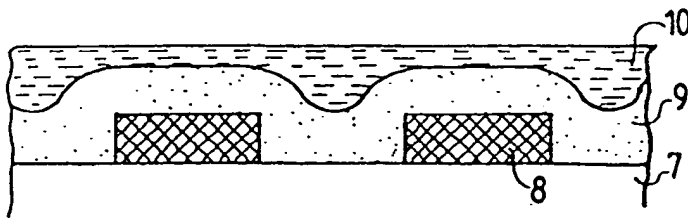


FIG. 3a

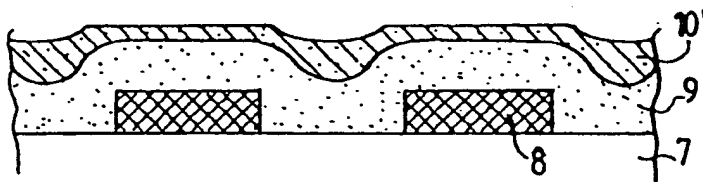


FIG. 3b

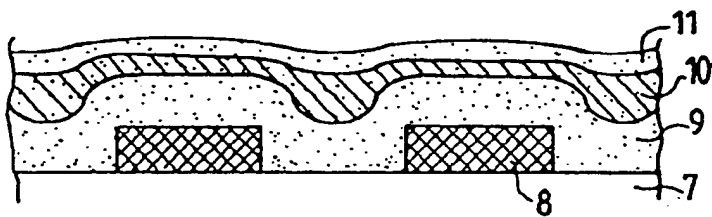


FIG. 3c

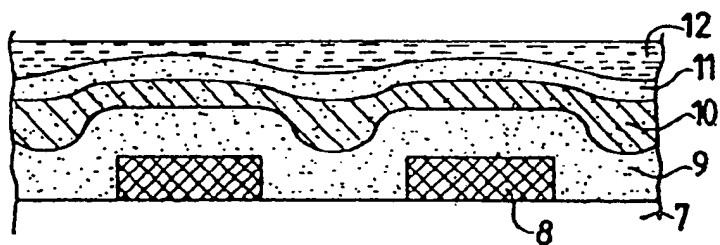


FIG. 3d

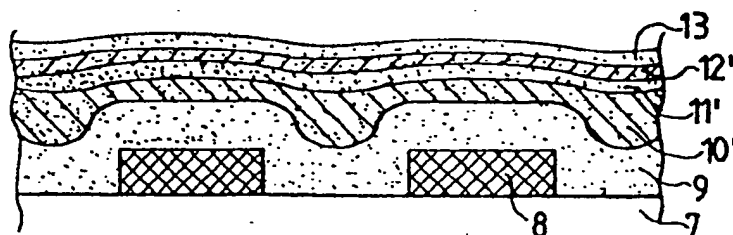


FIG. 3e

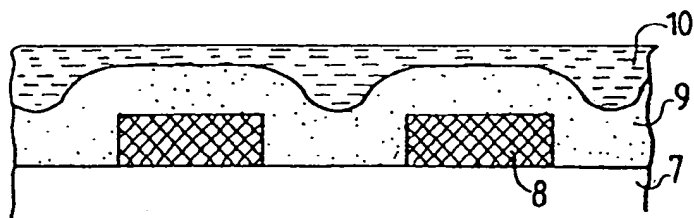


FIG. 3a

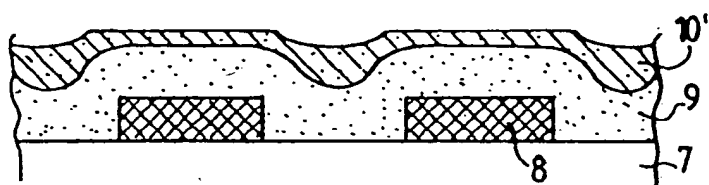


FIG. 3b

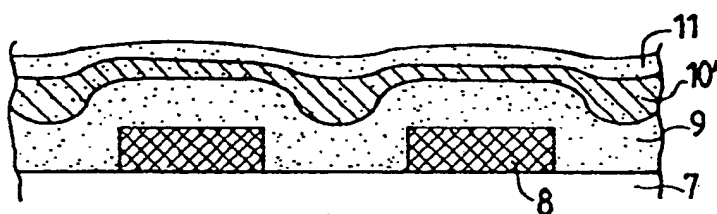


FIG. 3c

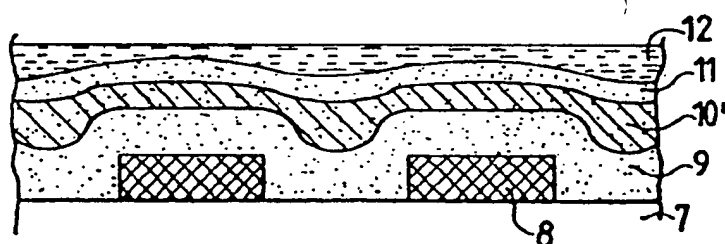


FIG. 3d

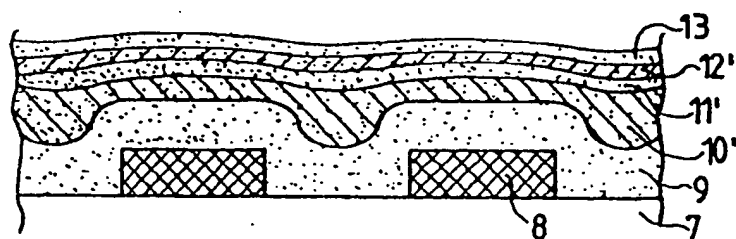


FIG. 3e



Office européen  
des brevets

## RAPPORT DE RECHERCHE EUROPEENNE

Numero de la demande

EP 89 40 0042

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl.4)
Y	PATENT ABSTRACTS OF JAPAN vol. 11, no. 77 (E-487)(2524), 7 mars 1987; JP - A - 61 232 646 (NEC CORP.) 16-10-1986 ---	1-3,5-7	H 01 L 23/28 H 01 L 21/314 H 01 L 21/56
Y	PATENT ABSTRACTS OF JAPAN vol. 7, no. 166 (E-188)(1311), 21 juillet 1983; & JP - A - 58 074 043 (NIPPON DENKI) 04-05-1983 ---	1-3,5-7	
Y	EP-A-0 034 455 (FUJITSU) * page 3, lignes 6-23; page 5, ligne 4 - page 6, ligne 4; page 7, ligne 15 - page 8, ligne 15; figures 1 A-1 C *	1,3,5	
A	---	8	
Y	RADIO, FERNSEHEN, ELEKTRONIK vol. 32, no. 2, février 1983, page 68, Ost-Berlin, DDR; "Die doppelte Glaspasivierung" * colonne 1, paragraphe 2 *	2	
A	THIN SOLID FILMS vol. 83, no. 2, septembre 1981, pages 145-163, Lausanne, Suisse; A.M. WILSON: "Polyimide Insulators for Multilevel Interconnections." * paragraphe 4 *	1,3,5	DOMAINES TECHNIQUES RECHERCHES (Int. Cl.4) H 01 L 23/00 H 01 L 21/00
Y	US-A-4 198 444 (A.J. YERMAN) * colonne 3, ligne 62 - colonne 4, ligne 37; colonne 8, lignes 24-37 * --- -/-	3	
Le présent rapport a été établi pour toutes les revendications			
Lien de la recherche BERLIN		Date d'achèvement de la recherche 30-03-1989	Examineur ROUSSEL A T
<b>CATEGORIE DES DOCUMENTS CITES</b> X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire I : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			





Office européen  
des brevets

# RAPPORT DE RECHERCHE EUROPEENNE

Page 2

Numero de la demande

EP 89 40 0042

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl.4)
A	PATENT ABSTRACTS OF JAPAN vol. 6, no. 170 (E-128)(1048), 3 septembre 1982; & JP - A - 57 088 734 (TOKYO SHIBAURA KENKI K.K.) 02-06-1982 ---	1,7	DOMAINES TECHNIQUES RECHERCHES (Int. Cl.4)
A	FR-A-2 382 095 (RCA CORP.) * page 3, ligne 5 - page 6, ligne 12 * ---	1,3,5-7	
A	PATENT ABSTRACTS OF JAPAN vol. 10, no. 251 (E-432)(2307), 28 août 1986; & JP - A - 61 079 233 (FUJITSU LTD) 22-04-1986 ---	1,7	
A	PATENT ABSTRACTS OF JAPAN vol. 7, no. 49 (E-161)(1194), 25 février 1983; & JP - A - 57 199 224 (NIPPON DENKI K.K.) 07-12-1982 ---	1,6,7	
A	PATENT ABSTRACTS OF JAPAN vol. 6, no. 99 (E-111)(977), 8 juin 1982; & JP - A - 57 031 145 (NIPPON DENKI K.K.) 19-02-1982 ---	1,7	
A	GB-A-1 566 072 (TOKYO SHIBAURA ELECTRIC CO LTD) * page 3, lignes 61-110; figures 4,1 * ---	1,6,7	
A	DE-A-3 030 862 (TOSHIBA) * pages 9,10; figure 1 * ---	7-10	
A	PATENT ABSTRACTS OF JAPAN vol. 10, no. 356 (E-459)(2412), 29 novembre 1986; & JP - A - 61 154 131 (TOSHIBA) 12-07-1986 -----	7,10	
Le présent rapport a été établi pour toutes les revendications			
Lien de la recherche BERLIN		Date d'achèvement de la recherche 30-03-1989	Examineur ROUSSEL A T
<b>CATEGORIE DES DOCUMENTS CITES</b> X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			